

Carte MOL (Multi Optical Link V1)

Pour toute hésitation, demander.

Tout composant passif dans une page doit être utilisé pour le composant dans cette page (le plus proche du composants)

Tout composant passif attaché à un composant doit se trouver au plus près de la pin à laquelle il est raccordé.

Chaque composants doit avroir au moins une capa découplage 100 nF

La carte est fait en NELCO N4000-13 EP SI Er= 3.2 (2.5 GHz à 10 Ghz) -----3.4 (= < 1Ghz)

Page 1 PCIe

- Implentation connecteur (voir feuilles C0-C1)
- Clock et data pair < 4 inches
- Transmit capa proche connecteur
- Pair 100 ohm diff.
- différence longueur dans pair < 0.5 mm
- différence entre pair < 1 mm
- Pair en top pas de via & bottom VIA sous le BGA proche de la pin
- Ferrite L0 proche connecteur

Page 2-3 QDR

(commencer à router les plus longues lignes (Data,address , ctrl , clock)

- tous les lignes 50 ohm sauf autre spécification
- composants tête- bêche ?
 - QDR_A,QDR_R,QDR_W,QDR_OFF distribution comme ci-dessous:
 - > comp 1
 - ligne QDR_A (fpga →-----> terminaison
 - > comp2)
 - Ligne FPGA--terminaison le plus long
 - Ligne terminaison vers les deux composants de même longueur et le plus court
- une capa à coté de chaque réseau de résistance
- QDR_K/QDR_Kn pair 100 ohm diff (diff longueur 10 mils)

- même longueur : QDR_A ; QDR_k/kn
- QDR_R,QDR_W,QDR_OFF même longueur que QDR_A diff max 100 mils
- ligne QDR_DTI même longueur (diff max 20 mils), dans un même layer, (swap possible)
- ligne QDR.DTO même longueur (diff max 20 mils)
(swap possible dans le groupe)
- (router avec le même nombre de Via et dans les même layer chaque groupe)
 - Groupe1 : DTO(0..15) - QDR_QDS(0) , QDR_QDSn(0)
 - Groupe2 : DTO(16..31) - QDR_QDS(1), QDR_QDSn(1)
- IC4 le plus près possible des mémoires avec les résistances et les condensateurs
- Un plan QDR_VTT doit être créé
- Vref le plus large et le plus court possible (loin de tous signals dynamiques)
- R120-121 proche du FPGA

Page 4-5-6 DDR2

(commencer à router les plus longues lignes (Data,address , ctrl , clock)

- tous les lignes 50 ohm sauf autre spécification
- Deux groupes de mémoires IC5-6-7-8 et IC9-10-11-12
- Lignes DDR_A (FPGA->comp1->comp2->comp3->comp4 -> terminaisons (SWAPP possible mais identique sur toutes les mémoires)

- Ligne BAX ; RAS ; CAS ; CS ; WE ; CKE (FPGA->comp1->comp2->comp3->comp4 -> terminaisons (SWAPP possible mais identique sur toutes les mémoires)

-add & control (longueur diff. max 100 mils)

-une capa à coté de chaque réseau de résistance

-lignes DDR_DQ en groupe

(router avec le même nombre de Via et dans les mêmes layers chaque groupe)

Swap dans le groupe possible (SAUF DDR_QDS)

même long dans le groupe diff max 20 mils

Entre groupe max 0.5 inch

Groupe 1 : DDR_DQ0(0..7) - DDR_QDS0(0)

Groupe 2 : DDR_DQ0(8..15) - DDR_QDS0(1)

Groupe 3 : DDR_DQ0(16..23)- DDR_QDS0(2)

Groupe 4 : DDR_DQ0(24..31)- DDR_QDS0(3)

Groupe 5 : DDR_DQ0(32..39)- DDR_QDS0(4)

Groupe 6 : DDR_DQ0(40..47)- DDR_QDS0(5)

Groupe 7 : DDR_DQ0(48..55)- DDR_QDS0(6)

Groupe 8 : DDR_DQ0(56..63)- DDR_QDS0(7)

Groupe 9 : DDR_DQ1(0..7) - DDR_QDS1(0)

Groupe 10 : DDR_DQ1(8..15)- DDR_QDS1(1)

Groupe 11 : DDR_DQ1(16..23)- DDR_QDS1(2)

Groupe 12 : DDR_DQ1(24..31)- DDR_QDS1(3)

Groupe 13 : DDR_DQ1(32..39)- DDR_QDS1(4)

Groupe 14 : DDR_DQ1(40..47)- DDR_QDS1(5)

Groupe 15 : DDR_DQ1(48..55)- DDR_QDS1(6)

Groupe 16 : DDR_DQ1(56..63)- DDR_QDS1(7)

-DDR_CK/DDR_CKn pair 100 ohm diff (FPGA -> comp 1 -> comp2 -> terminaison 100 ohm)
(diff longueur 10 mils)

-VREF de chaque comp –une capa ; trace large et le plus court possible

-R200-201-202-203 le plus près possible du FPGA

-IC13 IC14 proche de leur groupe

Deux plans DDR2_VTT doivent être créés

Vref le plus large et le plus court possible (loin de tous signals dynamiques)

Page 7-8 SFP 8Gb/s

!!!!!! 3 bottoms layers (GND—Diff pairs high speed – GND--.....)voir figure 1

Les paires diff ont leur propre layer (faire un essai en mettant des ilots GND autour des paires diff.)

Utiliser de larges traces (voir figure 1 et feuilles attachées A0-A3)

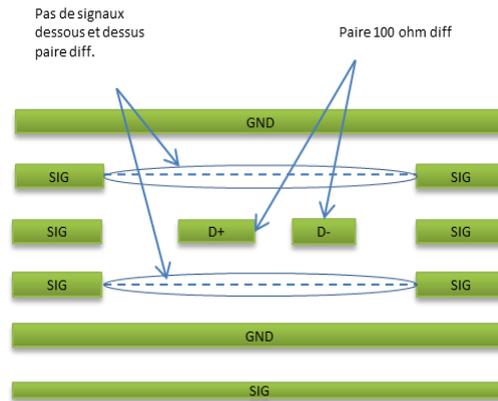


Figure 1

- GND_package sous les connecteurs SFP raccordé ente eux.
- router les pairs (via borgne à chaque extrémité) entre deux plans de GND avec des VIA (gnd-gnd) tout le long (figure 2)

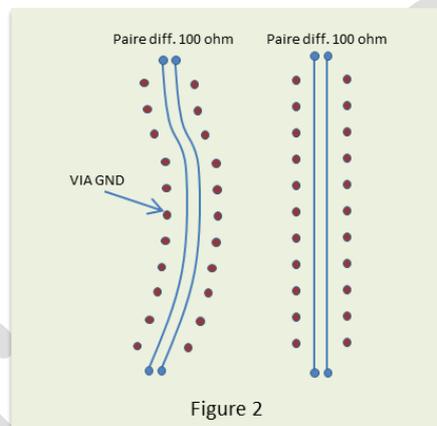


Figure 2

- Les autres signaux vers les SFP passent par d'autres layers.
- pairs 100 ohm diff.
- Power après ferrite (large et courte trace)
- Implémentation mécanique voir feuilles B0-B1

Page 9-10 SFP+ Vitesse

!!!!!! 3 bottoms layers (GND—Diff pairs high speed – GND--.....)

Les paires diff ont leur propre layer (faire un essai en mettant des ilots GND autour des paires diff.)

Entre SFP+ et chip VSC8486

- paire 100 ohm différentiel
- les deux fils de la paire doivent avoir la même longueur.
- Longueur max 2 inches (DS 4 inches) : le plus court et le plus droit possible (pas de via entre les pins du composants. VIA borgnes
- Implantation comme sur figure 1 et 2

Entre VSC8486 et FPGA

- Les paires sont swappable, mais il faut me demander l'ordre.
- Paire 100 ohm diff.
- Longueur identique dans la paire (diff max : 0.20 mm)
- Longueur identique entre paire (diff max 10 mm mais si possible même longueur)

- Capa 900-907 proche VSC8486

-Capa 908-915 proche FPGA

-Faire des ilots avec les différentes alimentations VDD12TX ; VDD12RX ; VDDA12 ; VDD12X

Pas de signaux haute vitesse au-dessus des ilots 12V

-Implémentation mécanique voir B0-B1

Page 11

Cette page est à router en dernier (routage R)

Le connecteur J7 (voir position sur carte GIII –CON2 (EP 680-1125-500-A)

Capa et ferrite, résistance proche connecteur

Tous signaux USERS sont swappable sauf USERS<1>

Page 12

A router en routage R-1

-J8 bord supérieur arrière

-Net EPCS64.... Le plus court possible <100 mm

-Route FPGA_T_P et FPGA_T_N comme une paire diff

minimum distance entre les deux net, proche d'un plan de masse

Ajouter une ligne de masse écarté de 10 mils de chaque côté de la paire

routé hors tout signal haute vitesse et 12 v

max 6 inches

Utiliser des larges traces (10 mils)

Page 13-14 15-16

Utilisé des plans d'alimentation pour toutes nouvelles tension

Les composants IC23-IC18 n' ont que des plan de masse en dessous.

Les lignes :

SENSE_OUT ; BST ;GH ;LX ;GL ; PGND (!!! à PGND = GND mais une trace doit être créée)

de larges nets vers l'emplacement des FDS88984

le plus court possible

Chaque nouveau plan ou ilot est adjacent à un plan de masse.

Utiliser de larges traces pour toutes les nets tensions (hors plan ou ilot)

- VCCA_ ;VCCD_ ;AVDD_

Pin XRP7714 10 et 11 connecter au PAD sous le composant avec une large net.

Mettre les MOSFET en rond autour du XRP7714 avec leur ferrite capa et autres passif composants

Tout le plus concentré possible.

Con J10 en haut de carte ver l'arrière.

Page 17

Page routage R-2

-Les 555 le plus loin en arrière de carte

-Les oscillateurs le plus proche possible de l'utilisation (résistance proche que oscillateurs)

le moins de via possible

-IC31 IC30 proche l'un de l'autre

-Les CY2XF23 le plus proche de l'utilisation

Les capa proche FPGA et VSC8486

Les paires routées ensemble (dans la paire même longueur)

Routé hors signaux haute vitesse proche d'un plan de masse

Page 18-19

Ferrites et capa proche du FPGA (tout doit être utilisé)

Preliminary